

Bits&Chips

Column

Wedergeboorte van de gatearray

19 februari 2008

Aan applicatiegerichte geïntegreerde circuits is veel behoefte bij het midden- en kleinbedrijf. Asics kunnen kleine, eenvoudige chips zijn met slechts duizend gates of zeer complexe IC's met processor, geheugen en andere bouwstenen op basis van honderd miljoen transistoren. Voor het MKB praten we over honderd tot honderdduizend CMOS-transistoren per chip en productievolumes van honderd tot honderdduizend chips per jaar.

Een paar decennia geleden was Asic-technologie bij kleine hoeveelheden chips te duur voor kleine bedrijven. Dus kwam de gatearray. Dit concept is gebaseerd op zogenoemde masterwafers die op voorraad vervaardigd zijn tot voor de metallisatie. Bij een vraag van een klant kan de fabriek de benodigde hoeveelheid masterwafers klantgericht van metallisatie voorzien. De procestijd is dus minimaal en de kosten zijn beheersbaar ondanks het kleine productievolume.

Vanaf 1980 werd de realiteit anders. De kosten voor metallisatie met meer dan twee laagjes waren niet verwaarloosbaar, omdat er speciale maskers moesten worden gemaakt. Elektronenbundellithografie in plaats van maskergebaseerde lithografie was toen nog niet betrouwbaar en zeer langzaam, dus eveneens duur. Het verschil tussen Asic en gatearray werd kleiner en kleiner.

De situatie veranderde weer in 1985 met de introductie van de FPGA door Xilinx. Voor deze programmeerbare gatearraytechnologie hoefden we niet langer naar de IC-fabriek, maar konden we de chips kant-en-klaar kopen en de functionaliteit softwarematig vastleggen met VHDL. De ouderwetse gatearraytechnologie liep hopeloos achter, zowel op de FPGA bij goedkopere chips als op de Asic bij de zeer complexe en snelle chips.

Intussen zijn de voordelen van FPGA's niet meer zo duidelijk zichtbaar. Voor middelgrote hoeveelheden chips zijn ze te duur, het vermogen is hoog en ze zijn relatief langzaam. Ook zijn ze puur digitaal en dus niet geschikt voor mixed-signal toepassingen. Een ander opmerkelijk nadeel is dat de klant niet zijn eigen verpakking kan kiezen.

De echte reden waarom het MKB vaak niet enthousiast is over FPGA's is niet technisch. Voor kleine bedrijven is het, in tegenstelling tot voor multinationals, te duur om producten te beveiligen door patentportfolio's. Hun bescherming moeten ze zoeken in de geheimhouding van hun productgegevens. Het is belangrijk dat het chipproduct niet of slechts zeer moeilijk is te kopiëren. Een standaard FPGA met VHDL-softwarecode willen ze dus niet, zeker niet in tijden van uitgebreide productpiraterij.

Dit geeft een nieuwe kans aan de oude gatearray in een nieuw jasje. De moderne gatearray, de *structured Asic*, heeft niet alleen een palet van digitale en analoge transistoren, maar ook functionele bouwstenen om zelfs gehele systemen op een chip, SoCs, te kunnen realiseren. Het fabricageconcept is nog steeds hetzelfde, maar de processen voor de metallisatie zijn inmiddels sterk verbeterd. De personalisatie van masterwafers gebeurt nu met supersnelle *shaped beam*-elektronenbundelschrijvers waarmee de bedrading snel en betrouwbaar, dus bij lage kosten, op de wafers terechtkomt.

Met het oog op de geheimhouding geeft personalisatie met e-beam in de IC-fabriek een zeer belangrijk voordeel. De productie van chips op basis van de structured Asic-technologie is volledig autarkisch, omdat de datasets voor maskerfabricage allemaal binnen de muren van de fabriek blijven. De iets suboptimale eigenschappen van structured Asics in vergelijking met echte Asics vormen voor de meeste toepassingen in de werktuigbouw geen probleem. En daar gebeurt het op dit moment in Europa.

Joachim Burghartz

[Terug naar overzicht](#)



Joachim Burghartz is directeur van het Instituut voor Micro-elektronica Stuttgart (IMS Chips) en deeltijdhoogleraar aan de TU Delft.

© Bits & Chips | Deze pagina op internet: <http://www.bits-chips.nl/nieuws/bekijk/artikel/wedergeboorte-van-de-gatearray.html>